

Docket No.: 60188-044



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hirokazu YONEZAWA, et al.

Serial No.: 09/810,518

Group Art Unit:

Filed: March 19, 2001

Examiner:

For: APPARATUS AND METHOD FOR CALCULATING TEMPORAL
DETERIORATION MARGIN AMOUNT OF LSI, AND LSI INSPECTION
METHOD

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Honorable Commissioner for Patents and Trademarks
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Japanese Patent Application No. 2000-076087, filed March 17, 2000

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: August 22, 2001
Facsimile: (202) 756-8087

#5

60188-044
YONEZAWA et al.
March 19, 2001
09/810,518
McDermott, Will & Emery



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 3月17日

出願番号
Application Number:

特願2000-076087

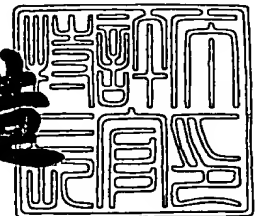
出願人
Applicant(s):

松下電器産業株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3012937

【書類名】 特許願

【整理番号】 2037620018

【提出日】 平成12年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/30

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 米澤 浩和

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川上 善之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岩西 信房

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 L S I の経時劣化マージン量の計算装置と計算方法

【特許請求の範囲】

【請求項 1】 L S I の経時的特性劣化を予測し、設計余裕として見込むべき経時劣化マージン量を計算する装置であって、

対象とする L S I を構成する各信号パスの、所望の動作期間が経過した時の経時的な特性劣化度合を動作条件を考慮しつつ予測する予測手段と、

前記信号パスの劣化前特性に対する特性劣化度合の関係を求める解析手段と、

前記関係と前記 L S I の設計目標特性とから経時劣化により誤動作しやすいパスの特性劣化度合を抽出する抽出手段と

を有することを特徴とする L S I の経時劣化マージン量の計算装置。

【請求項 2】 請求項 1 記載の L S I の経時劣化マージン量の計算装置において、

前記特性劣化度合として遅延劣化率を、前記劣化前特性として劣化前遅延を、前記設計目標特性として設計目標遅延とを用いることを特徴とする L S I の経時劣化マージン量の計算装置。

【請求項 3】 請求項 1 記載の L S I の経時劣化マージン量の計算装置において、

既に設計された少なくとも 1 つの L S I の設計情報から前記経時劣化マージン量を求め、前記既に設計された L S I とは別の L S I の経時劣化マージン量として用いる

ことを特徴とする L S I の経時劣化マージン量の計算方法。

【請求項 4】 請求項 1 記載の L S I の経時劣化マージン量の計算装置で計算した前記経時劣化マージン量をディレイティングファクターとし、少なくとも製造ばらつきと、電源電圧変動と、温度変動とに対応したディレイティングファクターとともに劣化前の信号パス遅延に掛け合わせて劣化後の信号パス遅延を計算するディレイティングファクター計算装置を備えたことを特徴とする L S I の遅延計算装置。

【請求項 5】 請求項 1 記載の L S I の経時劣化マージン量の計算装置で計算

した前記経時劣化マージン量をディレイティングファクターとし、設計目標動作周波数に掛け合わせた動作周波数で検査することを特徴とする L S I の検査方法。

【請求項 6】 請求項 1 記載の L S I の経時劣化マージン量の計算装置において、前記予測手段が劣化前特性を求める時と異なる電源電圧を特性劣化度合を計算する時に用いる

ことを特徴とする L S I の経時劣化マージン量の計算装置。

【請求項 7】 請求項 1 記載の L S I の経時劣化マージン量の計算装置において、

特性劣化度合を予測するときの製造ばらつき条件として最も信号パス遅延が遅くなる条件を用いる

ことを特徴とする L S I の経時劣化マージン量の計算装置。

【請求項 8】 請求項 1 記載の L S I の経時劣化マージン量の計算装置において、前記予測手段が劣化前特性を求める時と異なる電源電圧を特性劣化度合を計算する時に用い、特性劣化度合を予測するときの製造ばらつき条件として最も信号パス遅延が遅くなる条件であることを特徴とする L S I の経時劣化マージン量の計算装置。

【請求項 9】 L S I の経時的特性劣化を予測し、設計余裕として見込むべき経時劣化マージン量を計算する方法であって、

対象とする L S I を構成する各信号パスの、所望の動作期間が経過した時の経時的な特性劣化度合を動作条件を考慮しつつ予測する工程と、

前記信号パスの劣化前特性に対する特性劣化度合の関係を求める工程と、
前記関係と前記 L S I の設計目標特性とから経時劣化により誤動作しやすいパスの特性劣化度合を抽出する工程と

を有することを特徴とする L S I の経時劣化マージン量の計算方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ホットキャリア劣化現象などに起因する L S I の経時的な特性劣化

を予測し、LSI設計時またはLSI検査時に見込むべき適切な経時劣化マージン量を求める技術に関するものである。

【0002】

【従来の技術】

大規模半導体集積回路（以下LSIと略す）は近年さまざまな機能をワンチップ上に実現するために数千万以上ものMOSトランジスタを集積するに至っている。これら半導体集積回路には他の製品同様に寿命があり、製造後ある期間動作した後に故障や動作不良を起こす。LSIの故障や動作不良の主な原因としては、ホットキャリア現象に起因する特性劣化や、エレクトロマイグレーションによる配線の断線、短絡などが知られている。

【0003】

最近のLSIにおいては、製造技術の発達とともにトランジスタの微細化が急速に進み、ドレイン近傍に発生する高電界によってキャリアのインパクトイオン化が起こり、高エネルギーをもつホットキャリアが生じやすくなっている。このホットキャリアはゲート酸化膜へダメージを与え、トランジスタのしきい値電圧やドレイン電流を経時的に変化すなわち劣化せしめ、結果的にトランジスタの集合体であるLSIの動作周波数特性などを変化させ、いずれ誤動作に至らしめる可能性がある。このためLSI設計では所望の製品寿命に応じた信頼性確保が不可欠であり通常設計余裕が設けられている。

【0004】

LSIは一般的に図2に示すようにフリップフロップ21間に回路22が何段か（図2ではN段）含まれるような基本単位すなわち信号パス20に分解できる。回路22は多くの場合論理回路とそれらを接続する配線とから構成される。このとき各信号パスの中の一連の回路を信号が伝搬するときの遅延がクロック信号23のサイクルタイム（多くの場合動作周波数、クロック周波数の逆数）で決まる所定の期間内に収まっていることが求められる。この関係を式（1）に示す。

$$t_{\text{cycle}} \geq \sum_{i=1}^N t_i + K \quad (1)$$

ここで、 t_{cycle} は設計目標特性であるサイクルタイム、 $\sum t_i$ はフリップフロップ間の各回路*i*の入出力端子間の信号伝搬遅延の総和すなわち劣化前の信号パス遅延、 K はフリップフロップ21のセットアップ時間やクロック信号23のスキューなどの和である。

【0005】

この信号パス遅延はLSIの動作時間に対して一定ではなく、式(2)に示すようにホットキャリア劣化によって変化する。ここで $\sum \Delta t_i$ は劣化による信号パス遅延変動分である。ホットキャリア劣化による遅延変動は、回路の種類、回路の動作条件すなわち電源電圧、温度、動作回数、入力信号のスルーレート、信号遷移の向き(立上り、立下り)、出力信号負荷、製造ばらつきなどによって異なってくるが、通常は増加する。このように経時劣化まで考慮した場合は、式(2)右辺がサイクルタイム以内に収まっている必要がある。

$$t_{\text{cycle}} \geq \sum [t_i + \Delta t_i] + K \quad i=1 \sim N \quad (2)$$

LSIの製品寿命を保証するにはこの劣化による遅延増分の影響をあらかじめ考慮した設計を行い、製造後の検査でも確認しておく必要がある。

まずLSIの設計時に設ける余裕すなわちマージンは、大きすぎるとLSIとしては過剰な信頼性に陥る。通常、LSIの信頼性と性能とはトレードオフの関係にあり、過剰な信頼性を持たせることはLSIの性能(例えば動作周波数)を低下させる結果になる。一方マージンが小さすぎると、信頼性が不足し将来目標製品寿命に満たずに誤動作を起こす危険性が残る。したがって、適切な経時劣化マージン量の設定ができないとマイクロプロセッサのような性能、信頼性に対する要求の高いLSIを開発することは困難になる。これに対し、従来米国特許5634001に示されるような手法が用いられてきた。設計過程のLSIの設計情報から、所望の製品寿命の期間動作した後のLSIの動作タイミング特性、すなわち式(2)に示したLSIの劣化後の全ての信号パス遅延を米国特許553

3197のシミュレーション技術で予測する。もっとも遅い信号パスすなわちクリティカルパスの劣化後遅延がサイクルタイムに収まるようにシミュレーションで確認しながら設計するというものである。これにより過不足ない経時劣化マージンを目指していた。

一方LSIの検査は製造直後（出荷前）である劣化前の時点で行って、LSIが所望の製品寿命の期間（例えば10年間）正常動作するかどうかを試験しなければならない。LSIの動作周波数は通常電源電圧で変化する。電源電圧が高いと動作可能周波数も高くすなわちサイクルタイムは短くてすむ、逆に電源電圧が低いと動作可能周波数も低くすなわちサイクルタイムも長くなる。劣化前の最も遅いクリティカルパスの遅延 t_{BOL} と、所望の製品寿命動作し続けたのちの劣化後の最も遅いクリティカルパスの遅延 t_{EOL} とをシミュレーションで求めて式（3）の差分 Δt が得られる（ $t_{EOL} > t_{BOL}$ ）。同様に動作可能な最小電源電圧は式（4）のように、劣化前に V_{BOL} であったものが劣化後は V_{EOL} になる（ $V_{EOL} > V_{BOL}$ ）。図3に示すようにこの差分 Δt に相当する電源電圧差分 ΔV だけ、動作を保証しないといけない最小電源電圧 V_{DDmin} からさらに下げて、電源電圧（ $V_{DDmin} - \Delta V$ ）でLSI製造後に検査する方法（米国特許5634001）が知られていた。ここで、電源電圧差分 ΔV は製造後にLSIを実測して決めていた。

$$\Delta t = t_{EOL} - t_{BOL} \quad (3)$$

$$\Delta V = V_{EOL} - V_{BOL} \quad (4)$$

【0006】

【発明が解決しようとする課題】

マイクロプロセッサのようなカスタム設計が多用されている品種と異なり、ASICなどの特定用途LSIはディレイティングファクター（derating

f a c t o r s)とよばれる種々の遅延変動要因をそれぞれ係数化したものを用いて省力設計されることが多い。式(5)のように標準の遅延値から最悪条件の遅延値を簡易的に見積もって設計する方法である。ここで、 t_{worst} は各信号パス遅延の劣化前の最悪値、 t_{typ} は各信号パス遅延の劣化前の標準値、 P は製造ばらつきによる遅延変動係数、 V は電源電圧幅による遅延変動係数、 T は温度幅による遅延変動係数である。この場合は、まずLSIの全信号パス遅延の標準値をシミュレーションで求めて、それらにディレイティングファクター P 、 V 、 T を単に掛け合わせて効率的に最悪値を求めている。ここで、式(5)右辺は式(1)の $\sum t_i$ に相当する。

$$t_{worst} = t_{typ} \times P \times V \times T \quad (5)$$

さらに経時劣化を考慮する場合、上記のディレイティングファクターを用いた設計方法に適した経時劣化マージン量の計算方法が必要となる。しかしながら、前記従来の設計方法では、LSI設計時にシミュレーションで全ての信号パスの劣化前と劣化後の両方の最悪遅延値を直接求める方法のため、ディレイティングファクターを取り入れた式(5)を前提とした設計用途への適用がなされていなかった。

【0007】

また前記従来の検査方法では、検査で用いる電源電圧差分 ΔV はターゲットとしているLSIの製造後に実測で求めている。図4に示すように特定のクリティカルパスである信号パスAだけに注目して電源電圧差分 ΔV を実測する場合、電源電圧で経年劣化に相当する見掛け上の信号パスAの遅延増分 Δt を調整することは可能である。図4(1)の初期状態で電源電圧 V_{DDmin} から、図4(2)のように初期状態で電源電圧を $(V_{DDmin} - \Delta V)$ にして遅延を増やし、図4(3)の劣化後の遅延を模す。しかし、実際は電圧対遅延も電圧対遅延劣化度合も非線形関係であり信号パスによって異なる。信号パスAで設定した電源電圧差分 ΔV を用いると別の信号パスBではたとえ図4(4)のように初期状態で電源電圧 V_{DDmin} のときに信号パスAと同じ信号パス遅延であっても、図

4 (5) のように初期状態での検査では設計目標遅延以内に入っており問題ない結果になるが、実際に劣化後の遅延は図4 (6) のように設計目標遅延を上回ることが起こる可能性がある。このように検査時の電源電圧で調整する方法では実際の回路の劣化特性を反映できない危険性が残るという課題があった。

【0008】

このような問題に鑑み、本発明は、ディレイティングファクターを用いて設計するLSI向けに最適な設計、検査用経時劣化マージン量の計算装置と計算方法を提供することを課題とする。

またホットキャリア劣化は回路に印加される電源電圧に強く依存する。出荷後の初期状態から製品寿命までの動作期間中、LSIの電源電圧は、その仕様範囲内でさまざまな値を取りうる。このため例えば式(2)で劣化による遅延の増分を求める場合の電源電圧条件は適切に設定しなければならない。これに対し、一般的に電源電圧が高いほどトランジスタの受けるストレスは大きく劣化も大きくなることから、従来は電源電圧仕様範囲の最大値 V_{DDmax} に設定して劣化の最悪値を計算していた。一方で遅延の劣化度合は電源電圧に対し非線形であり、単純にストレスが最大になるように劣化計算時の電源電圧を選び、劣化前特性と劣化度合の計算に用いると劣化後遅延の最悪値が計算できていない危険性があった。そこで本発明は、ディレイティングファクターを用いて設計するLSI向けに最適な設計、検査用経時劣化マージン量の計算をする際の適切な電源電圧設定方法を提供することも課題とする。

さらにホットキャリア劣化は製造ばらつきにも強く依存する。製造工程でのさまざまな要因により製造後のトランジスタ特性は一般にばらつく。ドレイン電流が代表的にばらつく特性であり、NMOS、PMOSにはそれぞれドレイン電流幅が設定してある。これに対し図15に示すNチャネル型MOS (NMOS) とPチャネル型MOS (PMOS) とのドレイン電流の関係のように、一般にばらつき範囲を示す4つのコーナー条件 (図中の灰色部分を囲む4つの白丸) を定義している。すなわち設計者は図15の灰色部分の特性変動がトランジスタに発生

しても回路が動作するように設計するわけである。このため例えば式(2)で劣化による遅延の増分を求める場合においても製造ばらつき条件を適切に設定しなければならない。これに対し従来は、ディレイティングファクターを用いて設計するLSI向けの最適な設計、検査用経時劣化マージン量の計算方法がなく、製造ばらつき条件の設定方法の提供も課題であった。

【0009】

【課題を解決するための手段】

前記の課題を解決するため、請求項1の発明が講じた解決手段は、LSIの経時的特性劣化を予測し、設計余裕として見込むべき経時劣化マージン量を計算する装置であって、対象とするLSIを構成する各信号パスの、所望の動作期間が経過した時の経時的な特性劣化度合を動作条件を考慮しつつ予測する手段と、前記信号パスの劣化前特性に対する特性劣化度合の関係を求める解析手段と、前記関係と前記LSIの設計目標特性とから経時劣化により誤動作しやすいパスの特性劣化度合を抽出する抽出手段を備える。

【0010】

請求項2の発明が講じた解決手段は、請求項1記載のLSIの経時劣化マージン量の計算装置において、特性劣化度合として遅延劣化率を、劣化前特性として劣化前遅延を、設計目標特性として設計目標遅延とを用いる。

【0011】

請求項3の発明が講じた解決手段は、請求項1記載のLSIの経時劣化マージン量の計算装置において、既に設計された少なくとも1つのLSIの設計情報から前記経時劣化マージン量を求め、前記既に設計されたLSIとは別のLSIの経時劣化マージン量として用いる。

【0012】

請求項4の発明が講じた解決手段は、請求項1記載のLSIの経時劣化マージン量の計算装置で計算した経時劣化マージン量をディレイティングファクターとし、少なくとも製造ばらつきと、電源電圧変動と、温度変動とに対応したディレイティングファクターとともに劣化前の信号パス遅延に掛け合わせて劣化後の信

号パス遅延を計算するディレイティングファクター計算装置を備える。

【 0 0 1 3 】

請求項 5 の発明が講じた解決手段は、請求項 1 記載の L S I の経時劣化マージン量の計算装置で計算した経時劣化マージン量をディレイティングファクターとし、設計目標動作周波数に掛け合わせた動作周波数で検査する。

【 0 0 1 4 】

請求項 6 の発明が講じた解決手段は、請求項 1 記載の L S I の経時劣化マージン量の計算装置において、対象とする L S I を構成する各信号パスの、所望の動作期間が経過した時の経時的な特性劣化度合を動作条件を考慮しつつ予測するときに用いる電源電圧と異なる電源電圧を特性劣化度合を計算する時に用いる。

【 0 0 1 5 】

請求項 7 の発明が講じた解決手段は、請求項 1 記載の L S I の経時劣化マージン量の計算装置において、特性劣化度合を予測するときの製造ばらつき条件として最も信号パス遅延が遅くなる条件を用いる。

【 0 0 1 6 】

請求項 8 の発明が講じた解決手段は、請求項 1 記載の L S I の経時劣化マージン量の計算装置において、前記予測手段が劣化前特性を求める時と異なる電源電圧を特性劣化度合を計算する時に用い、特性劣化度合を予測するときの製造ばらつき条件として最も信号パス遅延が遅くなる条件を用いる。

【 0 0 1 7 】

請求項 9 の発明が講じた解決手段は、L S I の経時的特性劣化を予測し、設計余裕として見込むべき経時劣化マージン量を計算する方法であって、対象とする L S I を構成する各信号パスの、所望の動作期間が経過した時の経時的な特性劣化度合を動作条件を考慮しつつ予測する工程と、前記信号パスの劣化前特性に対する特性劣化度合の関係を求める工程と、前記関係と前記 L S I の設計目標特性とから経時劣化により誤動作しやすいパスの特性劣化度合を抽出する工程とを有する。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

(第 1 の実施形態)

図 1 は本発明の第 1 の実施形態に係る集積回路の設計時および検査時に用いる経時劣化マージン量の計算装置である。ここでは対象とする特性を遅延、対象とする劣化度合を劣化率とした実施形態の例を示す。

【 0 0 1 9 】

遅延劣化率予測手段 1 は L S I 設計情報 4 をもとに L S I を構成する各信号パスの劣化前遅延を計算して信号パス遅延情報 5 を出力し、各信号パス遅延の劣化率を計算して信号パス遅延劣化率情報 6 を出力する。遅延対遅延劣化率解析手段 2 は信号パス遅延情報 5 と信号パス遅延劣化率情報 6 とを読み込み、遅延対遅延劣化率関係 7 を出力する。遅延劣化率抽出手段 3 は遅延対遅延劣化率関係 7 から特定の信号パスの遅延劣化率を抽出し、遅延劣化マージン 8 へ出力する。

【 0 0 2 0 】

次に図 1 に示す本実施形態に係る集積回路の設計時および検査時に用いる経時劣化マージン量の計算装置の動作を説明する。

【 0 0 2 1 】

L S I 設計情報 4 は、内蔵する回路、回路の接続関係を表すネットリスト、回路の接続配線の寄生素子情報、マスク形状情報、製造情報、動作条件である電源電圧、温度、動作頻度、動作周波数、および製品寿命目標などの L S I の設計に必要な全ての情報を含んでいる。例えば米国特許 5 9 7 4 2 4 7 や特願平 0 8 - 2 2 8 1 1 8 に示されたゲートレベルタイミング劣化シミュレーション方法や B T A B E R T U s e r ' s M a n u a l (B T A T e c h n o l o g y I n c . , U S A) に示されたトランジスタレベル信頼性シミュレーション方法に基づいて、遅延劣化率予測手段 1 は、L S I に含まれる各信号パスの劣化前（初期）遅延をまず計算し、次に各信号パスが製品寿命の目標期間のあいだ動作した場合の遅延劣化率を遅延劣化度合として動作条件を考慮してそれぞれ計算する。遅延劣化率 R は式（6）で定義される。ここで、 t_{fresh} 、 t_{aged} はそれぞれ劣化前と劣化後の信号パス遅延である。図 5 および図 6 にテーブル形式での信号パス 1 ～ M の劣化前信号パス遅延情報 5 と信号パス遅延劣化率情報 6 の例をそれ

ぞれ示す。

$$R = t_{\text{aged}} / t_{\text{fresh}} \quad (6)$$

遅延対遅延劣化率解析手段2は、劣化前の信号パス遅延情報5と信号パス遅延劣化率情報6との間の相関を求める。図7にグラフ形式での遅延対遅延劣化率関係7の一例を示す。図中の各点は1つの信号パスを表している。ホットキャリア劣化は論理回路の入力波形がなまっていると大きくなるが、遅延の大きい信号パスでは論理回路段数も一般に多く、このため波形は比較的急峻で劣化も小さくなる。一方遅延の小さい信号パスでは論理回路段数も少なく、このため波形は比較的なまっており劣化も大きくなりやすい。このことから、定性的に図7の分布が説明付けられる。理解しやすいように図7の分布の上限の包絡線(envelope)を考え単純化すると図8のようになる。図8の灰色部分に点は分布している。図8の分布の右端の設計目標遅延(この例では5[nS]近傍)たとえばサイクルタイムに近い信号パスはクリティカルパスである。

【0022】

遅延劣化率抽出手段3は、図8の遅延対遅延劣化率関係7から、クリティカルパスの遅延劣化率を示すポイント100を抽出し、そのときの遅延劣化率101を遅延劣化マージン8として出力する。信号パス遅延の小さい領域でポイント100より大きい劣化の信号パスもあるが、この領域では劣化後遅延を考えても動作上十分余裕があり無視できる。

【0023】

こうして求めた遅延劣化マージン8を用いた設計では、ディレイティングファクタ計算装置9において、求めた遅延劣化マージンをディレイティングファクターGとして式(5)に新たに追加して式(7)のように掛け合わせ、劣化前の標準の遅延値から劣化後の最悪条件の遅延値を簡易的に算出する。式(7)で計算した遅延が設計目標遅延に収まるよう設計する。式(5)は劣化前の標準の遅延値から劣化前の最悪条件の遅延値を求めるのに使われていた。

$$t_{worst} = t_{typ} \times P \times V \times T \times G \quad (7)$$

一方検査については、式（８）のように検査時の動作周波数 f_{aged} を、目標とする動作周波数 f_{fresh} にディレイティングファクター G を掛け合わせたものとし、サイクルタイムを劣化分だけ縮めて行う。式（８）で計算した周波数から求めた遅延に式（５）の遅延が収まっているかどうかを検査する。

$$f_{aged} = f_{fresh} \times G \quad (8)$$

このように本実施の形態によれば、経時劣化マージン値を容易に求められ、かつディレイティングファクターを用いた設計・検査に適している。また遅延劣化差分である式（３）を電源電圧差分である式（４）に変換する必要がなく、信号パスによる遅延劣化と電源電圧依存性の違いからくる経時劣化マージン値の過小評価も回避できる。

【 0 0 2 4 】

なお本実施の形態では図 8 の包絡線がクリティカルパスの遅延劣化率を示すポイント 1 0 0 を見出し遅延劣化率 1 0 1 としていたが、さらに安全をみて経時劣化マージン値を大きく設定してもよい。その場合は図 9 のようにポイント 1 0 0 での遅延劣化率より大きい任意の遅延劣化率 1 0 1 を遅延劣化マージン 8 と設定する。逆に図 8 の包絡線より下の分布を考慮してマージンをポイント 1 0 0 の信号パス劣化率より小さくしてもよい。

【 0 0 2 5 】

なお本実施の形態では図 8 の包絡線が劣化前信号パス遅延に対して単調減少する仮定をしていたが、図 1 0 のように包絡線に凹凸があるような場合でもよい。この場合は、劣化後の信号パス遅延が最も遅くなる遅延劣化率を示すポイントを選べばよい。この例ではポイント 1 0 0 ではなくポイント 1 0 2 がそれに相当している。

【 0 0 2 6 】

なお本実施の形態では図 8 の包絡線が劣化前信号パス遅延に対して単調減少す

ることを確認するために一旦全ての信号パスについて劣化前遅延と遅延劣化率を計算していた。すでに一度計算しているなどで単調減少することがあらかじめわかっているような場合は、常に設計目標遅延近辺の信号パスが、必要な遅延劣化率 1 0 1 を与えるため、クリティカルパス付近の信号パスだけ計算して処理を効率化してもよい。

【 0 0 2 7 】

また L S I を設計する場合、別の L S I から求めた遅延劣化マージン 8 を用いて設計してもよい。その場合、図 1 1 のように少なくとも 1 つの L S I から図 8 同様に包絡線を求め（図 1 1 の例では 3 つの L S I の包絡線 A、B、C）、それぞれの包絡線のポイント 1 0 0 から例えば最も大きい劣化率を示すもので代表させるなどして、そのときの遅延劣化率 1 0 1 を別途設計する L S I の遅延劣化マージンとしてやればよい。

【 0 0 2 8 】

さらに本実施の形態では対象とする特性を遅延としたが、周波数としてもよい。その場合は図 7 の横軸を（1 / 周波数）で表して同様に扱えばよい。

【 0 0 2 9 】

さらに本実施の形態での式（7）のディレイティングファクターに回路遅延用と配線遅延用の区別を設けて計算してもよい。

（第 2 の実施形態）

図 1 2 は本発明の第 2 の実施形態に係るシミュレーション工程であり、第 1 の実施形態である図 1 の集積回路の設計時および検査時に用いる経時劣化マージンの計算装置の遅延劣化率予測手段 1 で用いられる。

【 0 0 3 0 】

大きく 3 つの工程からなり、まず劣化前回路解析工程 2 0 1 では最小電源電圧 V_{DDmin} の条件で各信号パスの劣化前の特性を解析し、信号パス遅延情報 5 を求める。さらに劣化前回路解析工程 2 0 1 で、最大電源電圧 V_{DDmax} の条件で各信号パスの劣化前の特性が解析されたのち、信号パスに含まれる単位回路例えばトランジスタ各々の受けるバイアス条件からストレスが計算され、次の単

位回路劣化度合解析工程202で、ストレスに応じて劣化するトランジスタの電圧対電流特性を解析する。劣化後回路解析工程203では、劣化したトランジスタの電圧対電流特性を用いて最大電源電圧 V_{DDmax} の条件で劣化後の回路特性を解析し、信号パス遅延劣化率情報6が求められる。

【0031】

こうして図13に示すように製品寿命までの間最大電源電圧 V_{DDmax} が印加された状態で劣化し、劣化後遅延を計算する場合には最小電源電圧 V_{DDmin} の条件で行えばよい。図14に示すように電源電圧に対する信号パス遅延の劣化前曲線と劣化後曲線とがあった場合、 $(d/b < c/a)$ すなわち遅延劣化率は電源電圧が大きくなる程大きくなることがわかっている。このため、 V_{DDmin} で求めた劣化前遅延に V_{DDmax} で求めた遅延劣化率を掛けることにより劣化後遅延の最悪値を求めることができる。また、図12に基づく図1の処理の流れにおいても同様に、最悪の条件での遅延劣化マージンを決定できる。以上から、ディレイティングファクターを用いて設計するLSI向けに最適な設計、検査用経時劣化マージン量の計算をする際の適切な電源電圧を設定できる。

(第3の実施形態)

図12は本発明の第3の実施形態に係るシミュレーション工程であり、第1の実施形態である図1の集積回路の設計時および検査時に用いる経時劣化マージン量の計算装置の遅延劣化率予測手段1で用いられる。

【0032】

劣化に伴い前述の図15の4つのコーナー条件（図中の白丸）は移動する。劣化前に信号パス遅延が最も遅くなるコーナー条件は、NMOS、PMOSともにドレイン電流がもっとも小さいslowの場合である。一方劣化後においてもNMOS、PMOSともにslowの場合の白丸が星印へ移動し、その結果信号パス遅延が最も遅くなるコーナー条件は劣化前と同じくNMOS、PMOSともにslowの場合となる。

【0033】

そこで、本実施の形態では、図12の3つの工程すべてにおいてこのNMOS

、PMOSともにslowの条件を用いる。コーナー条件はシミュレーション工程で用いるSPICEパラメータやBTABERTパラメータ（BTABERT User's Manual, BTA Technology Inc., USA）によって表現される。NMOS、PMOSともにslowの条件の下、まず劣化前回路解析工程201では最小電源電圧VDDminの条件で各信号パスの劣化前の特性を解析し、信号パス遅延情報5を求める。さらに劣化前回路解析工程201で、最大電源電圧VDDmaxの条件で各信号パスの劣化前の特性が解析されたのち、信号パスに含まれる単位回路例えばトランジスタ各々の受けるバイアス条件からストレスが計算され、次の単位回路劣化度合解析工程202で、ストレスに応じて劣化するトランジスタの電圧対電流特性を解析する。最後に劣化後回路解析工程203では、劣化したトランジスタの電圧対電流特性を用いて最大電源電圧VDDmaxの条件で劣化後の回路特性を解析し、信号パス遅延劣化率情報6が求められる。

【0034】

こうして製造ばらつきを考慮した遅延劣化度合の最悪値を求めることができる。本実施の形態では、電源電圧の設定も最悪の条件になるようにしており、製造ばらつきの設定の最悪条件と合わせて、実際の動作上起こりうる最悪条件を実現できる。以上から、ディレイティングファクターを用いて設計するLSI向けに最適な設計、検査用経時劣化マージン量の計算をする際の適切な製造ばらつき条件設定方法を提供できる。

以上の実施の形態1～3はあくまでも一例を紹介、説明したものであり、それだけに限定するものではない。このため本発明の範囲においての別の実施形態や、本実施形態からの変更もありうる。

【0035】

【発明の効果】

以上のように、本発明の集積回路の設計時および検査時に用いる経時劣化マージンの計算装置と計算方法によれば、ディレイティングファクターを用いて設計

する L S I 向けに適切な経時劣化マージンを提供できる。またストレス印加時と劣化後の特性劣化度合測定時の電源電圧を分けて扱うことで最悪条件を想定して経時劣化マージンを計算でき、劣化の過小評価を回避できる。さらに最も電流の小さいコーナー条件を用いて製造ばらつきの最悪条件を想定して経時劣化マージンを計算でき、劣化の過小評価を回避できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態における L S I の経時劣化マージン量の計算装置及び遅延計算装置の構成を示すブロック図

【図 2】

信号バスの一般的な構成を示す図

【図 3】

サイクルタイムと検査電圧との関係を概念的に示す図

【図 4】

信号バス A, B の、条件による遅延の変化を示す図

【図 5】

信号バス遅延情報の一例を示す図

【図 6】

信号バス遅延劣化率情報の一例を示す図

【図 7】

劣化前遅延対遅延劣化率関係の一例を示す図

【図 8】

劣化前遅延対遅延劣化率関係から遅延劣化マージンを求める方法の説明用の図 7 を簡単化した図

【図 9】

経時劣化マージンを大きく設定する場合の遅延対遅延劣化率関係図

【図 1 0】

凹凸のある遅延対遅延劣化率関係から遅延劣化マージンを求める方法の説明用の図

【図 1 1】

別の L S I から求めた遅延対遅延劣化率関係を使って遅延劣化マージンを求める方法の説明用の図

【図 1 2】

本発明の第 2、第 3 の実施形態に係る遅延劣化率予測手段で用いるシミュレーション工程を示すブロック図

【図 1 3】

特性劣化度合を予測する時の電源電圧条件の説明用の図

【図 1 4】

遅延劣化率の電源電圧条件依存性を示す図

【図 1 5】

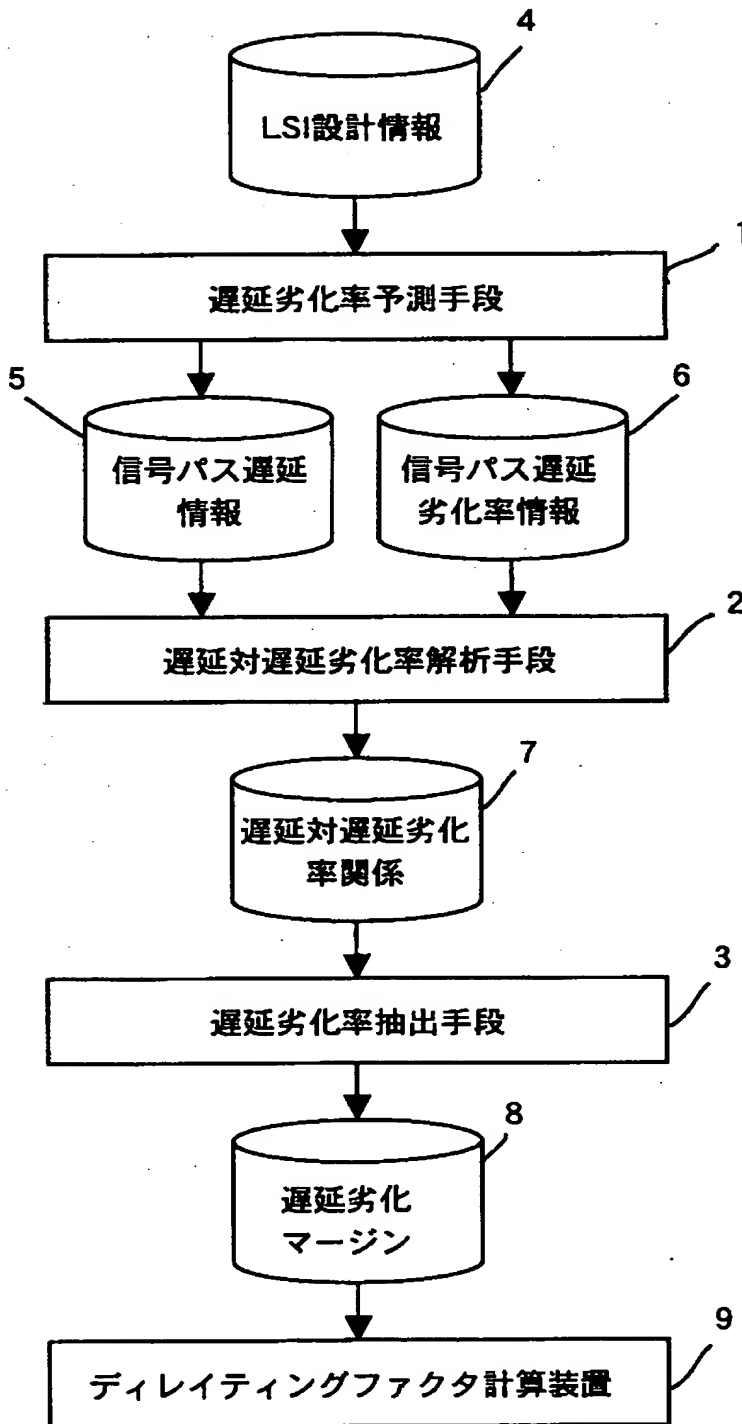
ドレイン電流のコーナー条件を示す図

【符号の説明】

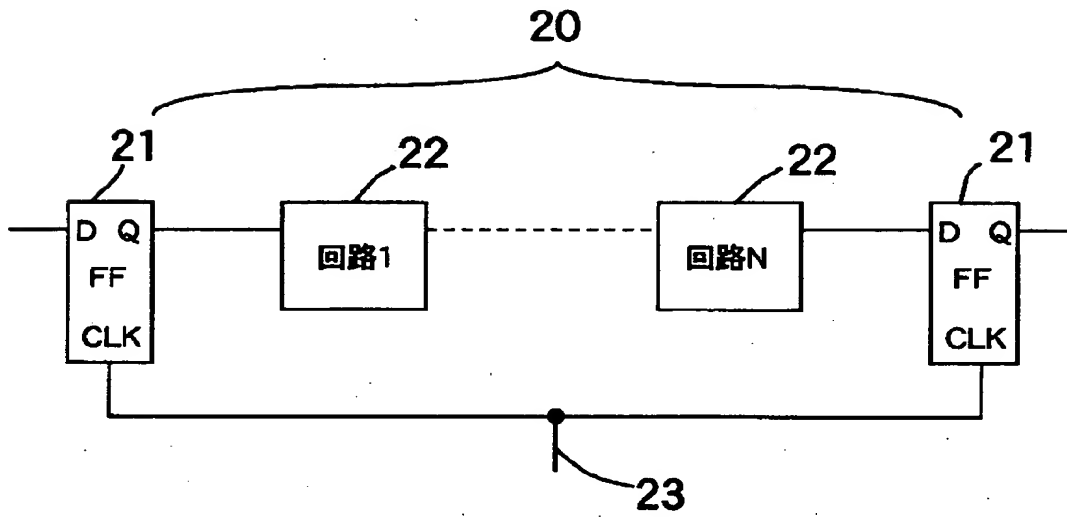
- 1 遅延劣化率予測手段
- 2 遅延対遅延劣化率解析手段
- 3 遅延劣化率抽出手段
- 9 デイレイティングファクター計算装置
- 2 0 信号パス
- 2 1 フリップフロップ
- 2 2 回路
- 2 3 クロック信号
- 2 0 1 劣化前回路解析工程
- 2 0 2 単位回路劣化度合解析工程
- 2 0 3 劣化後回路解析工程

【書類名】 図面

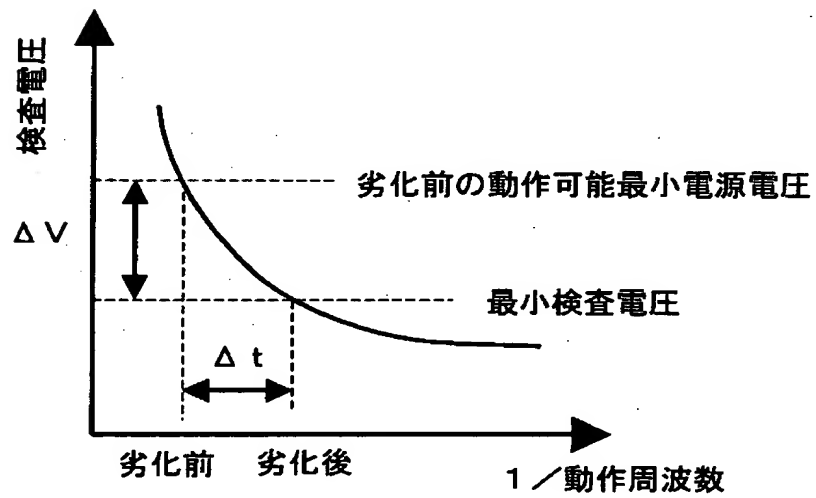
【図 1】



【図 2】



【図 3】



【図 4】



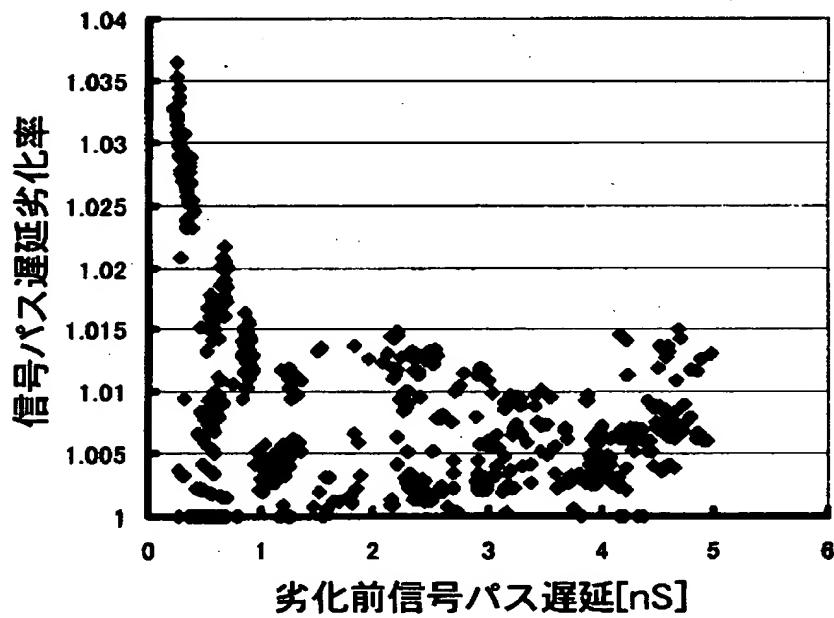
【図 5】

信号バス	信号バス遅延[nS]
バス1	3.0
バス2	4.7
⋮	⋮
バスM	0.3

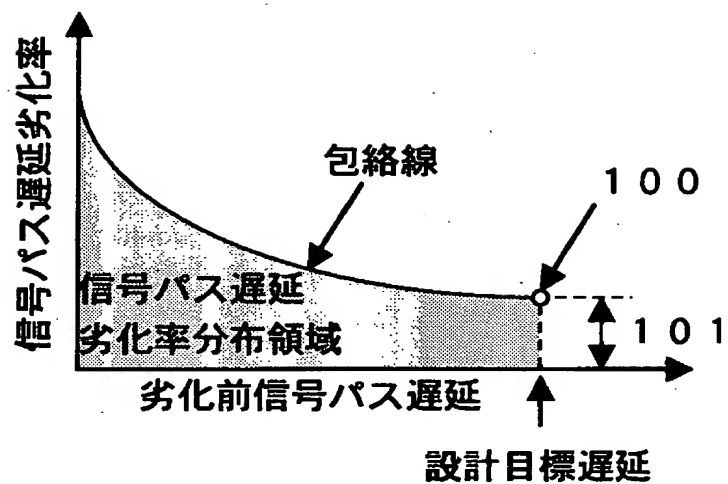
【図 6】

信号パス	信号パス遅延劣化率
パス1	1.012
パス2	1.015
⋮	⋮
パスM	1.030

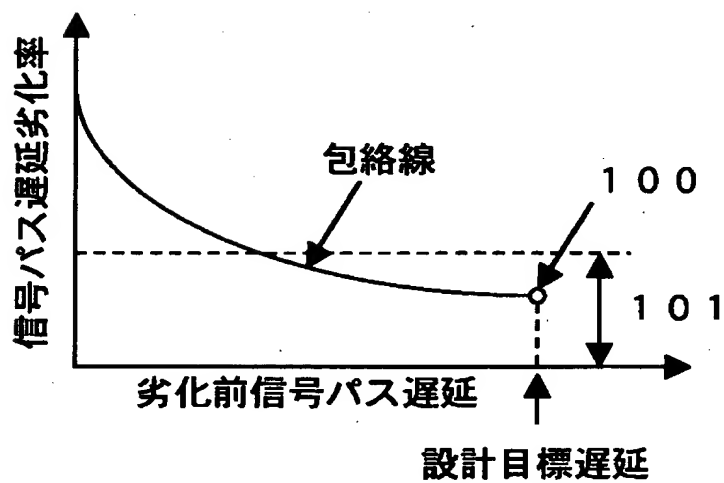
【図 7】



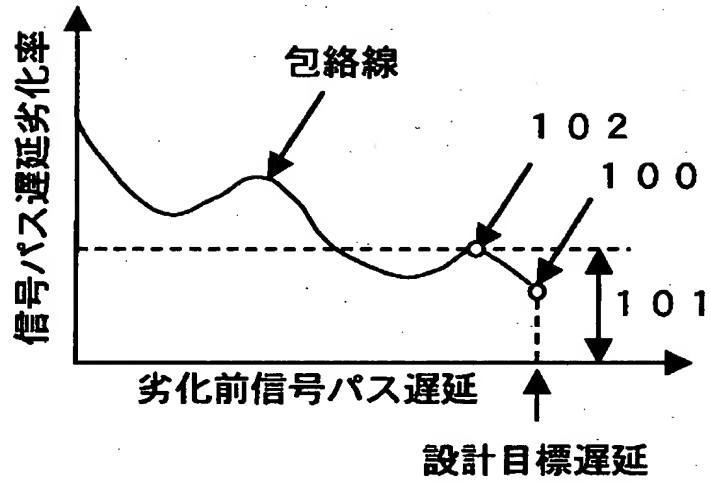
【図 8】



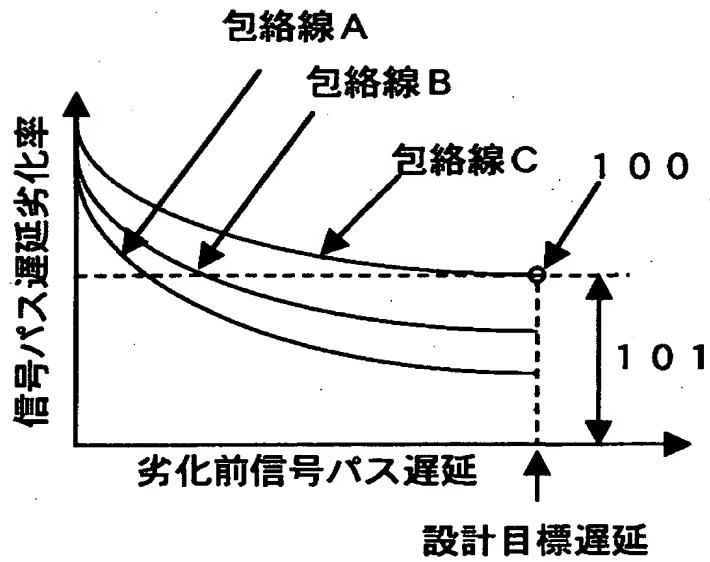
【図 9】



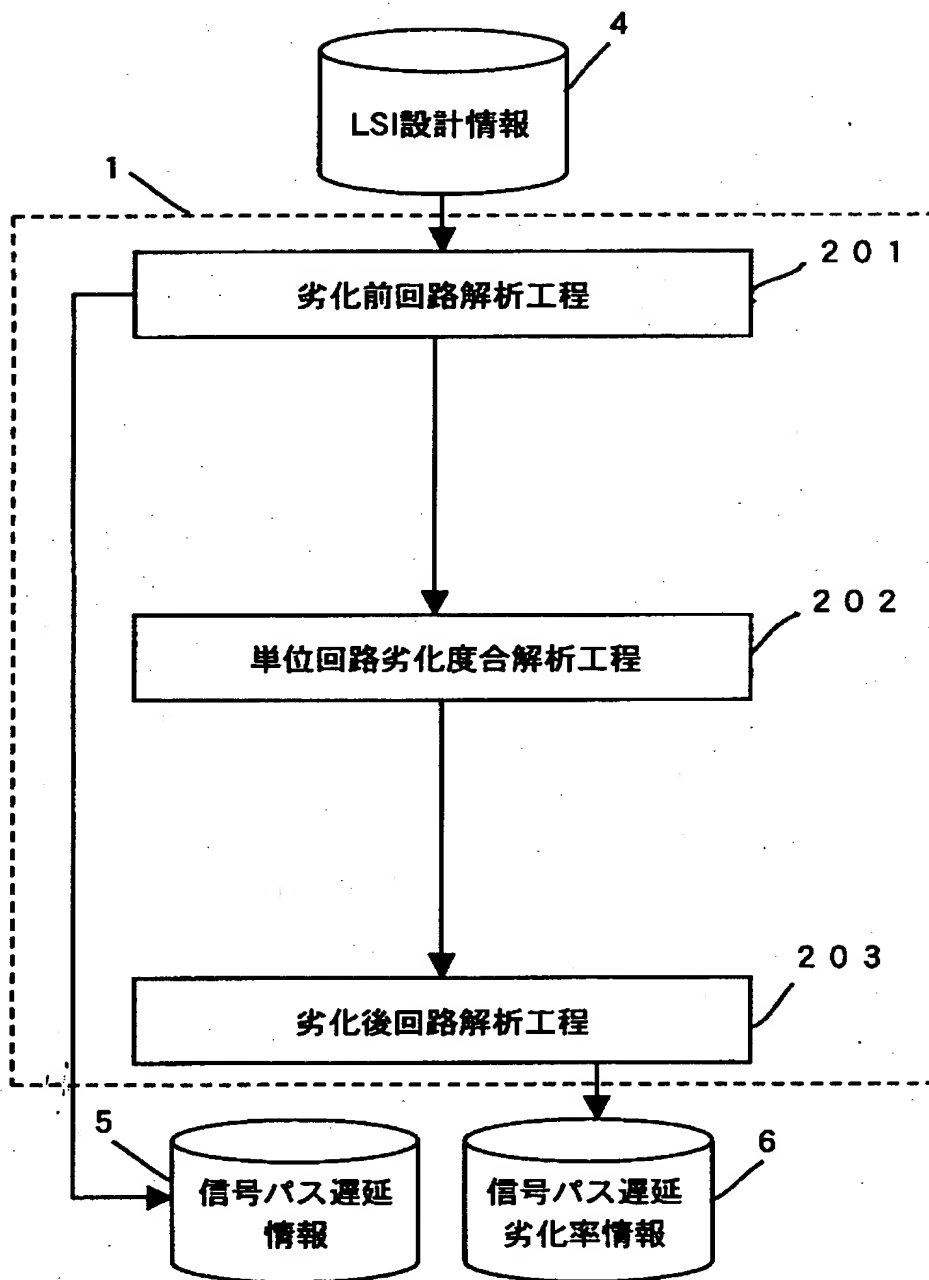
【図 1 0】



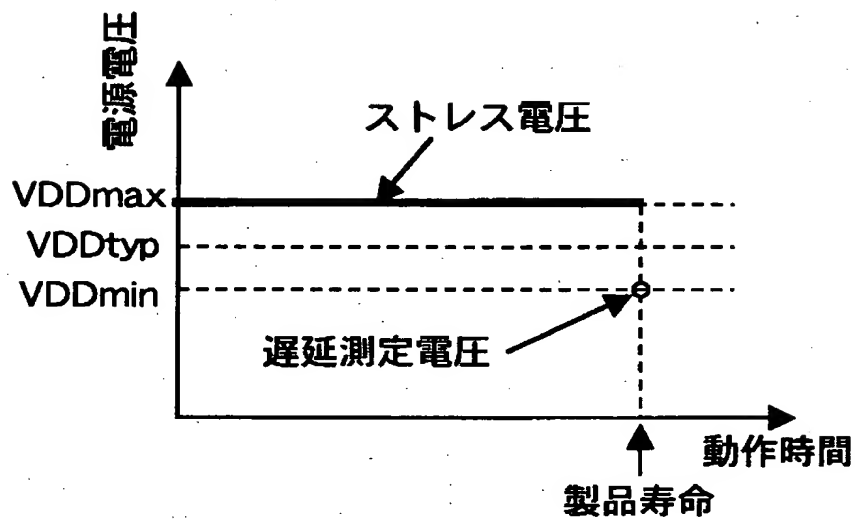
【図 1 1】



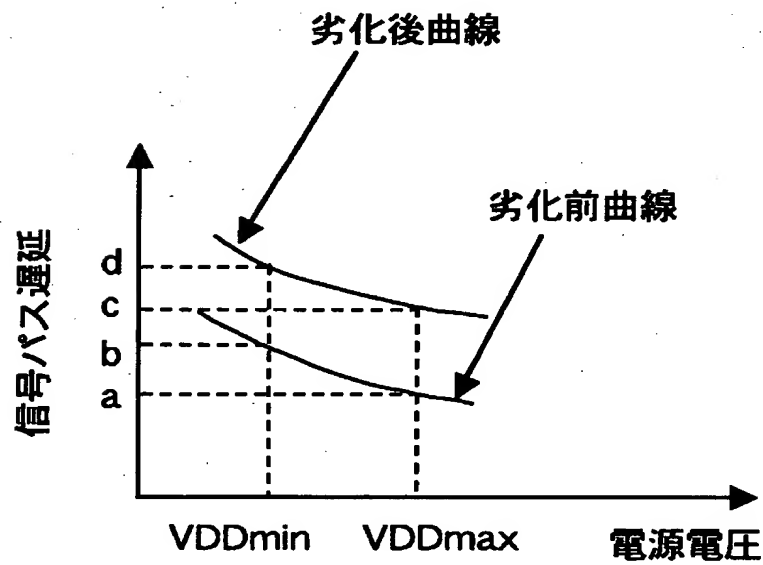
【図 12】



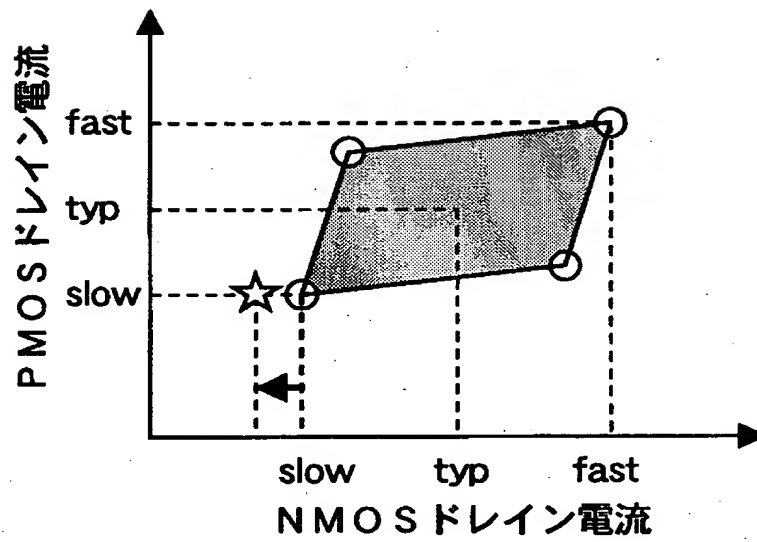
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 ディレイテイングファクターを用いた遅延計算に基づき設計する L S I 向けに、信号パスのホットキャリア効果による特性劣化の振る舞いと、電源電圧、製造ばらつきへの依存性を考慮して最適な劣化マージン量を計算する。

【解決手段】 遅延劣化率予測手段 1 は L S I 設計情報 4 を基に各信号パスの劣化前遅延を計算し信号パス遅延情報 5 を出力し、各信号パス遅延の劣化率を計算して信号パス遅延劣化率情報 6 を出力し、遅延対遅延劣化率解析手段 2 は信号パス遅延情報 5 と信号パス遅延劣化率情報 6 を読み込み、遅延対遅延劣化率関係 7 を出力し、遅延劣化率抽出手段 3 は遅延対遅延劣化率関係 7 から特定の信号パスの遅延劣化率を抽出して遅延劣化マージン 8 へ出力し、設計時には遅延計算におけるディレイテイングファクターとして前記遅延劣化マージンを新たに考慮し、検査時には印加周波数の調整に用い、最適な経時劣化マージンを設定できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社